**Lista de subiecte PVLSI/2009**

Capitolul1. Introducere.

1.Familii de circuite integrate.

* + 1. MOS

1.1.1.1. Comutatoare realizate cu tranzistoare MOS.

1.1.2 CMOS

1.1.2.1 Inversorul NOT/NU.

1.1.2.2 Functia AND/SI.

1.1.2.3. Poarta NAND/SI-NU.

1.2. Modalitati de reprezentare.

1.2.1. Reprezentarea comportamentala.

1.2.2. Reprezentarea structurala.

1.2.3. Reprezentarea fizica.

1.3. Etapele proiectarii.

Capitolul 2. Functionarea tranzistorului.

2.1. Tranzistorul NMOS in modul bogat (enhancement mode).

2.2. Tranzistorul NMOS in modul sarac (depletion mode).

2.3. Tranzistorul PMOS in modul bogat.

2.4. Operarea tranzistorului.

2.4.1. Regiunea liniara.

2.4. Regiunea de saturatie.

2.5. Ecuatia curentului *IDS*.

2.6.Tensiunea de prag ( *Vtn* sau *Vtp*).

2.7. Efectul de corp

Capitolul 3. Inversorul.

3.1. Analiza functionarii.

3.1.1. Caracteristicile de curent continuu

3.1.2 Raportul β*n* / β*p* .

3.1.3 Marginea de zgomot.

3.2 Proiectarea mastilor/sabloanelor.

3.2.2 l Reguli de proiectare

Capitolul 5. Performantele circuitelor VLSI.

5.1. Introducere.

5.2. Caracteristicile de comutatie.

5.2.1 Determinarea timpului de cadere (*tf*).

5.2.2. Determinarea timpului de crestere.

5.3. Efectele RC distribuite.

5.4. Puterea disipata.

5.4.1. Puterea disipata in regim static.

5.4.2. Puterea disipata in regim dinamic.

5.4.2.1. Componenta corespunzatoare tranzitiei la comutatie.

5.5. Alternative in proiectare.

5.6. Exemple.

Capitolul 6. Circuite de baza.

6.1. Portile standard.

6.1.1. Circuitul NAND.

6.1.2. Circuitul NOR.

6.3.1. SAU-Exclusiv (XOR).

6.2. Elemente de memorare, registre de deplasare, bistabile.

6.3 Ploturi de Intrare/Iesire.

6.3.1. Intrare.

6.3.2. Iesire.

6.4. Performanta.

Cap.8.

Fig.1 Schema bloc a microprocesorului

Fig. 2.Planul general al unitatii de executie

Fig.3. Lantul de transport de tip Manchester, al unitatii de executie

Fig.4. Reprezentarea abstracta a lantului de transport.

Fig. 5 Diagrama retelei logice programabile, la nivelul tranzistoarelor de trecere,

Fig.6. Reprezentarea functionala abstracta a retelei logice programabile.

Fig.7. Schema bloc a unei UAL pe 4 biti

Fig.8. Circuit de comanda pentru UAL. Toate iesirile sunt la nivel ridicat pe durata lui φ2

negat; termenii selectati sunt pe nivel coborat pe durata lui φ2; codul de operatie este

valid pe durata lui φ1.

Fig.9. Registru de intrare UAL si multiplexor.

Fig.10. Circuit de comanda pentru selectie . Toate iesirile sunt la nivel coborat pe durata

lui φ1negat; termenii selectati sunt pe nivel ridicat pe durata lui φ1; codul de operatie este

valid pe durata lui φ2.

Fig.11. Registru de iesire.

Fig.12. Circuit de magistrala preincarcat

Fig. 13. Circuit simplu de deplasare cu un bit spre stanga.

Fig. 14. Comutator crossbar 4 x 4.

Fig. 15. Circuit de deplasare circulara (barrel shifter) 4 x 4.

Fig. 16. Circuit de deplasare 4 x 4, cu trasee verticale sectionate si doua magistrale de

date.

Fig . 17. Reprezentarea conceptuala a operarii circuitului de deplasare.

Fig. 18. Diagarma bloc a circuitului de deplasare.

Fig. 19. Interfata Literal.

Fig. 20. Decodificator bazat pe NOR

Fig. 21. Decodificator bazat pe NAND

Fig. 22 Decodificator complementar.

Fig. 23. Circuit de deplasare complet sincronizat.

Fig. 24 Celula de registru biport.

Fig. 25. Diagrama bloc a unei celule de registru biport.

Fig. 26. Circuitul de I/E conectat la un plot bidirectional TS.

Fig. 28 Etaj tampon TS (a) si Circuit de comanda a plotului (b).

Fig. 29. Diagrama bloc a UAL, cu mentionarea traseelor de comanda.

Fig. 30. Diagrama bloc a UAL.

Fig. 31. Operarea circuitului de deplasare.

Fig. 32. Diagrama bloc a unui bit al UAL.

Fig. 33 (a). Faza 2 COP (intra in φ1)

Fig. 33 (b). Faza 1 transfer COP de la Literal (intra in φ2)

Fig. 33 (c). Faza 1 COP normal (intra in φ2)

Tab. 1 Transferuri pe magistrale

Tab. 1 Transferuri pe magistrale

Tab2. Codificarea operatiilor in UAL, la nivelul microinstructiunilor.

Tabela 3. Selectarea lui Cin

Tab.4. Selectie OP Conditionala

Tab. 5. Selectarea noului bit indicator

Tab. 6. Indicatorii de conditii.

Tab. 7. Campul de memorare(latching)

Retele logice programabile